

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L	27/146	G 0 1 J 1/02	B 2 G 0 6 j
G 0 1 J	1/02	H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L	27/14	H 0 1 L 27/14	A 5 C 0 2 4
	29/786		C 5 F 0 4 9
	31/10		K 5 F 1 1 0
審査請求 未請求 請求項の数17 O L (全 28 頁) 最終頁に続く			

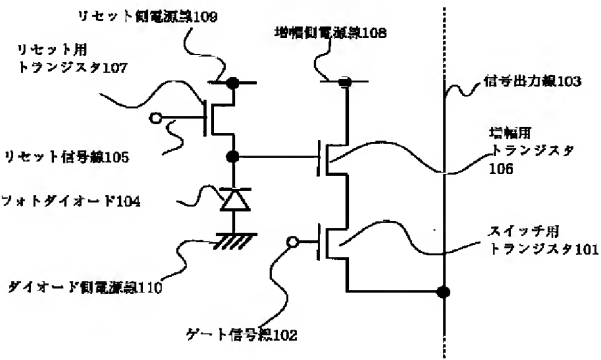
(21)出願番号	特願2000-120920(P2000-120920)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成12年4月21日(2000.4.21)	(72)発明者	木村 肇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		最終頁に続く	

(54)【発明の名称】 半導体装置およびその駆動方法

(57)【要約】

【課題】 リセット用トランジスタから光電変換素子の方へ漏れる電流の影響を小さくすることが出来る半導体装置およびその駆動方法を提供する。

【解決手段】 リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線を有する半導体装置において、リセット用トランジスタが非導通状態の時に、リセット側電源線の電位をダイオード側電源線の電位に近づけることを特徴とする半導体装置およびその駆動方法。



【特許請求の範囲】

【請求項1】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有する半導体装置であって、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されており、

前記リセット側電源線と前記リセット信号線とが平行に配置されていることを特徴とする半導体装置。

【請求項2】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタと信号発生装置とを有する半導体装置であって、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されており、

前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけるように動作する信号発生装置が前記リセット側電源線に接続されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置。

【請求項4】請求項1または請求項2において、前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置。

【請求項5】請求項4において、

前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項5のいずれか1項に記載の前記半導体装置を用いることを特徴とするスキャナ。

【請求項7】請求項1乃至請求項5のいずれか1項に記載の前記半導体装置を用いることを特徴とするデジタルスチルカメラ。

【請求項8】請求項1乃至請求項5のいずれか1項に記載の前記半導体装置を用いることを特徴とするX線カメラ。

【請求項9】請求項1乃至請求項5のいずれか1項に記載の前記半導体装置を用いることを特徴とする携帯情報端末。

【請求項10】請求項1乃至請求項5のいずれか1項に記載の前記半導体装置を用いることを特徴とするコンピュータ。

【請求項11】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線とを有し、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、

前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけることを特徴とする半導体装置の駆動方法。

【請求項12】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線とを有し、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されている半導体装置の駆動方法において、

前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を、前記リセット用トランジスタが導通状態の時の電位と前記ダイオード側電源線の電位の中間の電位にすることを特徴とする半導体装置の駆動方法。

【請求項13】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有し、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されている半導体装置の駆動方法において、

前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけることを特徴とする半導体装置の駆動方法。

【請求項14】リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有し、

前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、

前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、

前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されている半導体装置の駆動方法において、

前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を、前記リセット用トランジスタが導通状態の時の電位と前記ダイオード側電源線の電位の中間の電位にすることを特徴とする半導体装置の駆動方法。

【請求項15】請求項11乃至請求項14のいずれか1項において、

前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置の駆動方法。

【請求項16】請求項11乃至請求項14のいずれか1項において、

前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置の駆動方法。

【請求項17】請求項16において、

前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、半導体装置およびその駆動方法に関する。より詳細には、イメージセンサ機能を有するMOS型センサ装置およびその駆動方法に関する。

【0002】

【従来の技術】近年、パソコン等の情報機器が広く普及し、様々な情報を電子情報としてパソコンなどに読み込みたいという要求が高くなっている。そのため、従来の銀塩カメラに代わるものとしてデジタルスチルカメラが、また、紙などに印刷されたものを読み取るための手段としてスキャナが、大きく注目されている。

【0003】デジタルスチルカメラでは、画素が2次元に配列されたエリアセンサが用いられている。スキャナやコピー機などでは、画素が1次元に配列されたラインセンサが用いられている。ラインセンサを用いて2次元の画像を読み取る場合は、ラインセンサを移動させながら信号を読み取っている。

【0004】これらの画像読み取り機器では、イメージセンサとしてCCD型センサが主に使われている。CCD型センサでは、各画素のフォトダイオードで光電変換を行い、その信号を、CCDを用いて読み出している。しかしながら、近年、周辺回路を内蔵できることや、ワンチップ化できること、リアルタイム信号処理に適していること、消費電力が低いことなどを武器に、単結晶シリコン基板を用いて作成されたMOS型センサが一部で普及の兆しを見せている。また、研究レベルでは、ガラス基板上にTFTを用いて作成したMOS型センサも開発されている。MOS型センサでは、各画素のフォトダイオードで光電変換を行い、MOSトランジスタによって形成されたスイッチを用いて、各画素の信号を読み出している。

【0005】MOS型センサの画素構成としては、様々なタイプのものが開発されている。それらは、2つの種類、つまり、パッシブセンサとアクティブセンサとに、大まかには分類できる。パッシブセンサは、各画素に信号増幅素子を搭載しないセンサであり、アクティブセンサは、各画素に信号増幅素子を搭載するセンサである。アクティブセンサでは、各画素内で信号が増幅されるため、パッシブセンサよりも雑音に強いというメリットがある。

【0006】図3に、パッシブセンサにおける画素の回路例を示す。画素305は、スイッチ用トランジスタ301とフォトダイオード304で構成されている。フォトダイオード304は、電源基準線306とスイッチ用トランジスタ301のソース端子に接続されている。スイッチ用トランジ

スタ301のゲート端子には、ゲート信号線302が接続され、ドレイン端子には、信号出力線303が接続されている。フォトダイオード304では、光電変換が行われる。つまり、入射した光に応じて電荷を生成し、電荷をそこに蓄積する。そして、ゲート信号線302を制御して、スイッチ用トランジスタ301を導通状態にして、フォトダイオード304の電荷を信号出力線303を通して読み出している。

【0007】アクティブセンサの画素の構成としては、様々なタイプがある。IEDM95:p17:CMOS Image Sensors, Electronic Camera On a Chip、あるいはIEDM97:p201:CMOS Image Sensors - Recent Advances and Device Scaling Considerationsでは、フォトダイオード型、フォトゲート型などの画素構成と動作を紹介している。ISSCC97:p180:A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensorでは、画素の選択方法という観点で画素構成を分類している。つまり、選択する素子として、トランジスタを使う場合や、容量を使う場合などについて、述べている。このように、1画素を構成するトランジスタ数に関して、様々なものがある。JIEC 세미나:CMOSカメラの開発展望:平成10年2月20日には、CMOS型センサの全般について広く紹介しており、リセット用トランジスタのゲート電極とドレイン電極を接続することにより、光強度の対数の信号を出力する対数変換型などについても、述べている。

【0008】最もよく採用されているアクティブセンサの画素構成は、図4に示すように、3つのNチャネル型トランジスタと1つのフォトダイオードで1つの画素408を構成するタイプである。フォトダイオード404のPチャネル側端子は電源基準線412に接続され、Nチャネル側端子は、増幅用トランジスタ406のゲート端子と接続されている。増幅用トランジスタ406のドレイン端子とソース端子は、電源線409とスイッチ用トランジスタ401のドレイン端子に接続されている。スイッチ用トランジスタ401のゲート端子には、ゲート信号線402が接続され、ソース端子には、信号出力線403が接続されている。リセット用トランジスタ407のゲート端子は、リセット信号線405に接続されている。リセット用トランジスタ407のソース端子とドレイン端子は、電源線409と増幅用トランジスタ406のゲート端子に接続されている。

【0009】エリアセンサの場合、一本の信号出力線403には、1個の画素408だけでなく、多くの画素が接続されている。ただし、バイアス用トランジスタ411は、1本の信号出力線403につき、1個だけ配置されている。バイアス用トランジスタ411のゲート端子には、バイアス信号線410が接続されている。バイアス用トランジスタ411のソース端子とドレイン端子は、信号出力線403とバイアス用電源線413に接続されている。

【0010】次に、画素408の基本的な動作について述べる。

【0011】まず、リセット用トランジスタ407を導通状態とする。フォトダイオード404のPチャネル側端子が電源基準線412に接続され、Nチャネル側端子が電源線409と電気的につながる状態になり、電源基準線412の電位は基準電位0Vであり、電源線409の電位は電源電位V_{dd}であるため、フォトダイオード404には、逆バイアス電圧が加わることになる。以後、フォトダイオード404のNチャネル側端子の電位が電源線409の電位にまで充電される動作を、リセットと呼ぶことにする。その後、リセット用トランジスタ407を非導通状態にする。すると、フォトダイオード404に光が照射されている場合、光電変換により、電荷が発生する。そのため、時間が経過するにしたがって、電源線409の電位にまで充電されていたフォトダイオード404のNチャネル側端子の電位が、光によって発生した電荷が原因となって、徐々に小さくなっていく。そして、ある一定時間経過した後、スイッチ用トランジスタ401を導通状態にする。すると、増幅用トランジスタ406を通して、信号出力線403へ信号が出力される。

【0012】ただし、信号が出力されている時、バイアス信号線410には、電位が加えられており、バイアス用トランジスタ411には、電流が流れるようになっていく。よって、増幅用トランジスタ406とバイアス用トランジスタ411は、いわゆる、ソースフォロワ回路として動作することになる。

【0013】図4では、フォトダイオード404のPチャネル側端子が接続されている配線、つまり、電源基準線412は、ダイオード側電源線と呼んでも良い。ダイオード側電源線の電位は、フォトダイオード404の向きによって変わる。図4では、ダイオード側電源線には、フォトダイオード404のPチャネル側端子が接続されており、その電位は基準電位0Vである。そのため、図4では、ダイオード側電源線を電源基準線と呼んでいる。

【0014】同様に、図4では、リセット用トランジスタ407が接続されている配線、つまり、電源線409は、リセット側電源線と呼んでも良い。リセット側電源線の電位は、フォトダイオード404の向きによって変わる。図4では、リセット側電源線には、リセット用トランジスタ407を介して、フォトダイオード404のNチャネル側端子が接続されており、その電位は電源電位V_{dd}である。そのため、図4では、リセット側電源線を電源線と呼んでいる。

【0015】フォトダイオード404をリセットするということは、フォトダイオード404に逆バイアス電圧を加えるということと同じである。よって、フォトダイオード404の向きによって、ダイオード側電源線とリセット側電源線の電位の大小関係は変わる。

【0016】次に、図5に最も基本的なソースフォロワ回路の例を示す。図5では、Nチャネル型トランジスタを用いた場合について示す。Pチャネル型トランジスタを

用いてソースフォロワ回路を構成することも出来る。増幅側電源線503には、電源電位V_{dd}が加えられている。バイアス側電源線504には、基準電位0Vが加えられている。増幅用トランジスタ501のドレイン端子は増幅側電源線503に接続され、ソース端子はバイアス用トランジスタ502のドレイン端子に接続されている。バイアス用トランジスタ502のソース端子は、バイアス側電源線504に接続されている。バイアス用トランジスタ502のゲート端子には、バイアス電位V_bが加えられている。よって、バイアス用トランジスタ502には、バイアス電流I_bが流れることになる。バイアス用トランジスタ502は、基本的には、定電流源として動作する。増幅用トランジスタ501のゲート端子が、入力端子506になる。よって、増幅用トランジスタ501のゲート端子には、入力電位V_{in}が加えられる。増幅用トランジスタ501のソース端子が出力端子507になる。よって、増幅用トランジスタ501のソース端子の電位が、出力電位V_{out}となる。このときのソースフォロワ回路の入出力関係は、 $V_{out}=V_{in}-V_b$ となる。

【0017】図4と図5を比較させた場合、増幅用トランジスタ406は、増幅用トランジスタ501に対応する。バイアス用トランジスタ411は、バイアス用トランジスタ502に対応する。スイッチ用トランジスタ401は、導通状態であることを想定しているため、図5では、省略されていると考えることが出来る。フォトダイオード404のNチャネル側端子の電位は、入力電位V_{in}（増幅用トランジスタ501のゲート電位、つまり入力端子506の電位）に対応する。信号出力線403の電位は、出力電位V_{out}（増幅用トランジスタ501のソース電位、つまり出力端子507の電位）に対応する。電源線409は、増幅側電源線503に対応する。

【0018】従って、図4において、フォトダイオード404のNチャネル側端子の電位をV_{pd}とし、バイアス信号線410の電位、つまり、バイアス電位をV_bとし、信号出力線403の電位をV_{out}とし、電源基準線412とバイアス側電源線413の電位を0Vとすると、 $V_{out}=V_{pd}-V_b$ となる。よって、フォトダイオード404のNチャネル側端子の電位V_{pd}が変化すると、V_{out}も変化することになり、V_{pd}の変化を信号として出力し、光強度を読みとることが出来る。

【0019】次に、画素409での信号タイミングチャートを図6に示す。まず、リセット信号線405を制御することにより、リセット用トランジスタ407を導通状態にする。すると、フォトダイオード404のNチャネル側端子の電位は、電源線409の電位である電源電位V_{dd}にまで充電される。すなわち、画素がリセットされる。それから、リセット信号線405を制御することにより、リセット用トランジスタ407を非導通状態にする。その後、フォトダイオード404に光が照射されていると、光強度に応じた電荷が生成される。そのため、リセット動作によ

り充電された電荷が、徐々に放電されていく。つまり、フォトダイオード404のNチャネル側端子の電位が下がってくる。暗い光が照射されている場合は、放電される量も少ないため、フォトダイオード404のNチャネル側端子の電位もあまり下がらない。そして、ある時点において、スイッチ用トランジスタ401を導通状態にして、フォトダイオード404のNチャネル側端子の電位を信号として読み出す。この信号は、光の強度に比例している。そして再び、リセット用トランジスタ407を導通状態にしてフォトダイオード404をリセットし、同様の動作を繰り返していく。

【0020】次に、画素408でのトランジスタについて述べる。極性については、全てNチャネル型であることが多い。まれに、リセット用トランジスタをPチャネル型にしている場合がある（JIEC 세미나：CMOSカメラの開発展望：平成10年2月20日：p9,図11参照）。また、増幅用トランジスタと選択用トランジスタの並び方については、両トランジスタともNチャネル型を用いて、図4のように、電源線409と増幅用トランジスタ406を接続し、増幅用トランジスタ406とスイッチ用トランジスタ401を接続し、スイッチ用トランジスタ401と信号出力線403を接続していることが多い。まれに、両トランジスタともNチャネル型を用いて、電源線409とスイッチ用トランジスタ401を接続し、スイッチ用トランジスタ401と増幅用トランジスタ406を接続し、増幅用トランジスタ406と信号出力線403を接続している場合もある（ISSCC97：p180：A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor）。

【0021】次に、光電変換などを行うセンサ部について、述べる。通常は、PN型のフォトダイオードを用いて、光を電気に変換する。その他に、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオードなどがある。その他には、X線用にフォトコンダクタや、赤外線用のセンサなどもある。これについては、固体撮像素子の基礎—電子の目のしくみ：安藤隆男、菰淵寛仁著：日本理工出版界、に述べられている。

【0022】次に、センサの適用製品について、述べる。通常のデジタルスチルカメラや、スキャナなどの他に、X線用カメラにも用いられている。その場合、X線を直接電気信号に変換するフォトコンダクタを用いる場合や、蛍光材やシンチレータにより、X線を光に変換した後、その光を読みとる場合などがある。Euro Display 99:p203:X-ray Detectors based on Amorphous Silicon Active Matrixでは、シンチレータにより、X線を光に変換した後、その光を読みとる場合について述べている。IEDM 98:p21:amorphous silicon tft x-ray image sensorsでは、アモルファスシリコンを用いて読みとり、AM-LCD99:p45:real-time imaging flat panel x-ray detectorでは、フォトコンダクタを用いて読みと

る場合について、報告されている。

【0023】

【発明が解決しようとする課題】従来の電源線409の電位は、一定である。一方、リセット用トランジスタ407が非導通状態の時、光が照射されていると、フォトダイオード404には、電荷が生成される。その電荷が要因となって、リセット動作によって充電された電荷が、放電されていく。その結果、フォトダイオード404のNチャネル側端子の電位が下がってくる。この時の状況をリセット用トランジスタ407の立場で考えてみる。

【0024】フォトダイオード404のNチャネル側端子の電位が下がるということは、リセット用トランジスタ407のソース・ドレイン間電圧 V_{ds} が大きくなることに等しい。ここで、この時の一般的なトランジスタの電流特性を図7に示す。横軸にゲート・ソース間電圧 V_{gs} をとり、縦軸にはドレイン・ソース間電流 I_{ds} の対数をとっている。そして、ソース・ドレイン間電圧 V_{ds} をパラメータとして、複数本のグラフを示している。図7から分かるように、非導通状態（ゲート・ソース間電圧 $V_{gs} < 0$ ）の領域において、ソース・ドレイン間電圧 V_{ds} が大きくなると、つまりフォトダイオード404のNチャネル側端子の電位が下がってくると、もれ電流が大きくなる

（本来、非導通状態においては、ドレイン・ソース間電流 I_{ds} は流れないことが理想である。そのため、非導通状態において流れてしまうドレイン・ソース間電流 I_{ds} のことを、もれ電流とよぶことがある）。そのため、図8に示すように、リセット用トランジスタ807を通過して、フォトダイオード804に、もれ電流814が流れてしまう。このもれ電流814は、電源線809からフォトダイオード804の方に流れ、フォトダイオード804のNチャネル側端子の電位を電源線809の電位に近づけるように作用する。その結果、図9に示すように、フォトダイオード804のNチャネル側端子の電位が下がりにくくなる。

【0025】以上のことを考えると、リセット用トランジスタ807のもれ電流に関して、次のような問題点が考えられる。

【0026】まず、フォトダイオード804において光によって生成される単位時間当たりの電荷量を I_{photo} とすると、フォトダイオード804に照射される光が弱い場合、 I_{photo} がもれ電流814よりも小さいことが考えられる。そのような場合は、どれだけ時間が経過しても、フォトダイオード804の電位が下がらない。そのため、弱い光の場合は、全く信号を得られなくなってしまうと考えられる。

【0027】また、図7から分かるように、もれ電流814はフォトダイオード804のNチャネル側端子の電位（つまり、リセット用トランジスタ807のソース・ドレイン間電圧）によって異なる。よって、フォトダイオード804のNチャネル側端子の電位と蓄積時間の関係は非線形になってしまう。ここで、蓄積時間とは、フォトダイオ

ード804をリセットした後から、スイッチ用トランジスタ801を導通状態にして信号を出力する時までの時間のことであり、すなわち、フォトダイオード804に、光によって生成される電荷を蓄積しておく期間のことである。もし、もれ電流814が無かった場合は、フォトダイオード804のNチャネル側端子の電位は時間とともに小さくなるため、フォトダイオード804のNチャネル側端子の電位と蓄積時間との関係は線形になる。しかし、もれ電流814がある場合は、フォトダイオード804のNチャネル側端子の電位は時間とともに小さくなるが、フォトダイオード804のNチャネル側端子の電位が小さくなると、リセット用トランジスタ807のもれ電流が大きくなる。よって、フォトダイオード804のNチャネル側端子の電位が小さくなりにくくなっていく。そのため、フォトダイオード804のNチャネル側端子の電位と蓄積時間との関係は線形にならない。その結果、フォトダイオード804の電位と光強度の関係も非線形になってしまうため、イメージセンサのガンマ特性が悪化してしまう。

【0028】より詳細に考えてみると、図10に示したように、光によってフォトダイオード804のNチャネル側端子の電位が下がった結果、つまり、リセット用トランジスタ807のソース・ドレイン間電圧 V_{ds} が大きくなった結果、もれ電流814と光によって生成される単位時間当たりの電荷 I_{photo} とが等しくなる場合が考えられる。その様な状態になると、もうそれ以上、フォトダイオード804のNチャネル側端子の電位は下がらなくなってしまう。もれ電流814が無い場合では、たとえ光が弱くても、光によって生成される電荷を蓄積する時間を長くすれば、フォトダイオード804のNチャネル側端子の電位を下げる事が出来た。つまり、信号値を大きくすることが出来た。しかし、もれ電流814と光によって生成される単位時間当たりの電荷 I_{photo} とが等しい場合、光によって生成される電荷を蓄積する時間を長くしても、フォトダイオード804のNチャネル側端子の電位は変化しない。よって、蓄積時間を長くすることによって信号値を大きくすることが出来なくなる。

【0029】本願発明は、上記従来技術の問題点を解決することを目的とする。

【0030】

【課題を解決するための手段】従来であれば、リセット用トランジスタのソース端子、あるいはドレイン端子に関して、フォトダイオードと接続されていない側の端子が接続されている配線、つまり、電源線（リセット側電源線）の電位は、一定であった。本発明においては、リセット動作時以外の時、リセット用トランジスタのソース端子、あるいはドレイン端子に関して、フォトダイオードと接続されていない側の端子が接続されている配線の電位値、つまり、電源線（リセット側電源線）の電位を、フォトダイオードのPチャネル側端子の電位、つまり、電源基準線（ダイオード側電源線）の電位に近づけ

る。その結果、電源線（リセット側電源線）の方からフォトダイオードの方へ漏れ電流が流れにくくなる。

【0031】フォトダイオードのNチャネル側端子の電位が、電源線の電位よりも高い場合は、フォトダイオードから電源線の方へ漏れ電流が流れる。そのため、フォトダイオードのNチャネル側端子の電位が下がりやすくなる。フォトダイオードのNチャネル側端子の電位が、電源線の電位よりも低い場合でも、従来よりも、リセット用トランジスタのソース・ドレイン間電圧が小さいため、もれ電流は小さい。そのため、フォトダイオードのNチャネル側端子の電位が下がりにくくなることを抑えることが出来る。

【0032】ただし、フォトダイオードをリセットしている時は、充電するための電位が必要である。よって、リセット動作時では、リセット用トランジスタのソース端子、あるいはドレイン端子に関して、フォトダイオードと接続されていない側の端子が接続されている配線の電位、つまり、電源線（リセット側電源線）の電位値は、従来と同様にしておく。

【0033】また、図11に示すように、電源線1109（リセット側電源線）には、リセット用トランジスタ1107だけでなく、増幅用トランジスタ1106やスイッチ用トランジスタ1101も接続されていることが多い。その場合、増幅用トランジスタ1106に電流を流して動作させている時には、電源線1109（リセット側電源線）の電位が低いと問題である。よって、電源線1109（リセット側電源線）に増幅用トランジスタ1106やスイッチ用トランジスタ1101も接続されている場合は、増幅用トランジスタ1106を動作させている間、電源線1109（リセット側電源線）の電位値は、従来と同様にしておく。

【0034】このように、電源線1109（リセット側電源線）の電位を電源基準線1112（ダイオード側電源線）の電位に近づけることにより、リセット用トランジスタ1107のもれ電流による問題を改善する事が出来る。よって、フォトダイオード1104に照射される光が弱い場合にも、リセット用トランジスタ1107のもれ電流は、フォトダイオード1104において光によって生成される単位時間当たりの電荷量 I_{photo} を打ち消さない。そのため、弱い光の場合でも、フォトダイオード1104が放電されて、その電位が下がるので、画素から信号を読み取ることが可能になる。それによって、ダイナミックレンジが広がり、画質が向上する。また、リセット用トランジスタのソース・ドレイン間電圧が小さくなることにより、もれ電流が減るため、フォトダイオード1104の電位と蓄積時間との非線形な関係が改善される。その結果、ガンマ特性が良くなる。

【0035】以下に、本願発明の構成を示す。本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有する半導体装置

であって、前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されており、前記リセット側電源線と前記リセット信号線とが平行に配置されていることを特徴とする半導体装置が提供される。

【0036】本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタと信号発生装置とを有する半導体装置であって、前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されており、前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけるように動作する信号発生装置が前記リセット側電源線に接続されていることを特徴とする半導体装置が提供される。

【0037】本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線とを有し、前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけることを特徴とする半導体装置の駆動方法が提供される。

【0038】本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線とを有し、前記リセッ

ト用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されている半導体装置の駆動方法において、前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を、前記リセット用トランジスタが導通状態の時の電位と前記ダイオード側電源線の電位の中間の電位にすることを特徴とする半導体装置の駆動方法が提供される。

【0039】本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有し、前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されている半導体装置の駆動方法において、前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を前記ダイオード側電源線の電位に近づけることを特徴とする半導体装置の駆動方法が提供される。

【0040】本願発明は上記構成によって、リセット用トランジスタと光電変換素子とリセット側電源線とダイオード側電源線とリセット信号線と増幅用トランジスタとを有し、前記リセット用トランジスタのゲート端子は前記リセット信号線に接続されており、前記リセット用トランジスタのドレイン端子またはソース端子の一方は、前記リセット側電源線に接続されており、他方は前記光電変換素子に接続されており、前記光電変換素子の一方の端子は、前記ダイオード側電源線と接続されており、他方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子とに接続されており、前記リセット用トランジスタのソース端子もしくはドレイン端子と前記光電変換素子とに接続されている端子に、前記増幅用トランジスタのゲート端子が接続されている半導体装置の駆動方法において、前記リセット用トランジスタが非導通状態の時に、前記リセット側電源線の電位を、前記リセット用トランジスタが導通状態の時の電位と前記ダイオード側電源線の電位の中間の電位にすることを特徴とする半導体装置の駆動方法が提供される。

【0041】前記光電変換素子が、X線センサまたは赤外線センサであることを特徴としても良い。

【0042】前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴としても良い。

【0043】前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴としても良い。

【0044】

【発明の実施の形態】[実施の形態1]以下に、本願発明の代表的な実施の形態を示す。まず、アクティブセンサを用いた場合に、本願発明を実施した形態について、回路図を図1に、タイミングチャートを図2に示す。

【0045】回路図は、従来と同様である。ただし、リセット側電源線109と増幅側電源線108は、従来では、接続されていることが多かった。本実施の形態では、接続されていても、接続されていなくても、どちらでもよい。まず、接続されていない場合について、そのタイミングチャートを述べる。

【0046】まず、リセット信号線105を制御して、リセット用トランジスタ107を導通状態にし、フォトダイオード104をリセットする。その後、リセット用トランジスタ107を非導通状態にし、蓄積時間に入る。その時、リセット側電源線109の電位を下げ、ダイオード側電源線110の電位に近づける。その時に、最も望ましいリセット側電源線109の電位は、リセット時のリセット側電源線109の電位と、ダイオード側電源線110の電位の中間の電位である。

【0047】すると、暗い場合、フォトダイオード104のNチャネル側端子の電位は、リセット側電源線109の電位よりも高いため、もれ電流は、フォトダイオード104からリセット側電源線109の方へ流れる。そのため、暗くても、フォトダイオード104のNチャネル側端子の電位は下がりやすくなる。

【0048】明るい場合は、フォトダイオード104のNチャネル側端子の電位は、時間が経過するにしたがって、下がってくる。当初は、フォトダイオード104のNチャネル側端子の電位がリセット側電源線109の電位よりも高いため、もれ電流は、フォトダイオード104からリセット側電源線109の方へ流れる。その後、フォトダイオード104のNチャネル側端子の電位よりもリセット側電源線109の電位の方が高くなり、もれ電流は、リセット側電源線109からフォトダイオード104の方へ流れる。このように、もれ電流の流れる向きが反転するため、もれ電流の悪影響を相殺することができる。また、リセット用トランジスタ107のソース・ドレイン間電圧が小さいため、従来よりも、もれ電流自体が少なくなる。

【0049】そして、再びフォトダイオード104をリセットする前に、ゲート信号線102を制御し、スイッチ用

トランジスタ101を導通状態にして、信号出力線103に信号を出力する。その後、再びフォトダイオード104をリセットする。その時には、リセット側電源線109の電位は、もとに戻しておく。

【0050】ただし、リセット側電源線109と増幅側電源線108が、接続されている場合は、信号出力線103に信号を出力するときに、リセット側電源線109の電位が下がっていると、正しい信号を出力できない。よって、リセット側電源線109と増幅側電源線108が、接続されている場合は、信号を出力するときにも、リセット側電源線109の電位を、もとに戻しておく。

【0051】なお、図2では、蓄積時間中の増幅側電源線108の電位は、中間くらいであったが、図12に示すように、ダイオード側電源線110の電位と、ほぼ等しくなるくらいにまで下げてよい。

【0052】図1では、フォトダイオード104のPチャネル側端子がダイオード側電源線110と接続されていた。しかしながら、図13に示すように、フォトダイオード1304のNチャネル側端子がダイオード側電源線1310と接続されていてもよい。ただし、その場合、電位の大小関係が逆になる。図1では、リセット側電源線109の電位の方が、ダイオード側電源線110の電位よりも高い。一方、図13では、リセット側電源線1309の電位の方が、ダイオード側電源線1310の電位よりも低い。これは、フォトダイオード1304をリセットするときに、逆バイアス電圧が加わるようにするためである。図2に対応する図を図14に、図12に対応する図を図15に示す。

【0053】なお、図13においても、リセット側電源線1309と増幅側電源線1308は、接続されていても、接続されていなくても、どちらでもよい。

【0054】なお、図1、図13において、増幅用トランジスタ、リセット用トランジスタ、スイッチ用トランジスタは、Nチャネル型でもPチャネル型でもよい。

【0055】なお、図1、図13において、スイッチ用トランジスタは、増幅側電源線と増幅用トランジスタの間に配置されていてもよいし、増幅用トランジスタと信号出力線の間に配置されていてもよい。

【0056】

【実施例】[実施例1]次に、周辺に駆動回路を搭載し、画素を2次元に配置したエリアセンサに、本願発明を適用した実施例について述べる。全体の回路図を図16に示す。まず、画素が2次元に配列された画素配列部1605がある。そして、各々の画素のゲート信号線やリセット信号線や電源線を駆動するための駆動回路が、画素配列部1605の左右に配置されている。図16では、ゲート信号線リセット信号線用駆動回路1606が左側に、電源線用駆動回路1607が右側に配置されている。

【0057】そして、画素配列部1605の上側には、信号処理用の回路などが配置されている。図16では、画素配列部1605の上に、バイアス用回路1603が配置されてい

る。このバイアス用回路1603は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路を形成する。バイアス用回路1603の上には、サンプルホールド&信号処理用回路1602が配置されている。ここでは、信号をいったん保存しておいたり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが配置されている。サンプルホールド&信号処理用回路1602の上には、信号出力線用駆動回路1601が配置されている。信号出力線用駆動回路1601は、一時的に保存されていた信号を、順に出力していくための信号を出力している。そして、外に信号を出す前に、最終出力増幅用回路1604が配置されている。ここでは、サンプルホールド&信号処理用回路1602と信号出力線用駆動回路1601とにより、順に出力されてくる信号を、外に出す前に、増幅している。よって、信号を増幅しない場合は必要ないが、現実的には、配置されることが多い。

【0058】次に、各部分の回路図を示す。まず、2次元に配列されている画素配列部1605の中から、例として、i行j列目画素部回路1608の回路図を、図17に示す。図17では、Pチャネル型リセット用トランジスタ1707、Pチャネル型スイッチ用トランジスタ1701、Nチャネル型増幅用トランジスタ1706、光電変換素子（ここでは、最も代表的なフォトダイオード1704）から構成されている。フォトダイオード1704では、Pチャネル側端子は電源基準線1712に、Nチャネル側端子は、増幅用トランジスタ1706のゲート端子に接続されている。リセット用トランジスタ1707のゲート端子には、i行目リセット信号線1705が接続され、ソース端子とドレイン端子は、i行目電源線1709と増幅用トランジスタ1706のゲート端子に接続されている。スイッチ用トランジスタ1701のゲート端子は、i行目ゲート信号線1702に接続され、ソース端子とドレイン端子は、i行目電源線1709と増幅用トランジスタ1706に接続されている。増幅用トランジスタ1706のソース端子とドレイン端子は、j列目信号出力線1703とスイッチ用トランジスタ1701に接続されている。j列目信号出力線1703とi行目ゲート信号線1702は、従来通り、交差して配置されており、j列目信号出力線1703は縦方向に配線が伸びている。i行目ゲート信号線1702とi行目リセット信号線1705は、従来通り、横方向に配線が伸びており、平行に配置されている。図16および図17では、i行目電源線1709も、横方向に伸びており、i行目リセット信号線1705と平行に配置されている。従来は、縦方向に伸びていた。これは、1行ごとに画素のフォトダイオードを選択していくため、同様に、1行ごとに電源線の電圧を変えることが出来るようにするためである。

【0059】図17では、リセット用トランジスタ1707は、Pチャネル型を用いている。しかし、リセット用トランジスタは、Nチャネル型でもよい。ただし、Nチャネル型の場合、リセット動作のとき、ゲート・ソース間電

圧が大きくとれない。よって、リセット用トランジスタが飽和領域で動作することになり、フォトダイオード1704を十分に充電できない。したがって、リセット用トランジスタは、Nチャネル型でも動作するが、Pチャネル型の方が望ましい。

【0060】スイッチ用トランジスタ1701については、i行目電源線1709と増幅用トランジスタ1706の間に配置し、かつ、Pチャネル型を用いるのが望ましい。しかし、従来と同様、Nチャネル型でも動作するため、Nチャネル型でも構わないし、j列目信号出力線1703と増幅用トランジスタ1706の間に配置しても構わない。ただし、正しく信号を出力しにくいいため、スイッチ用トランジスタ1701は、i行目電源線1709と増幅用トランジスタ1706の間に配置し、かつ、Pチャネル型を用いるのが望ましい。

【0061】増幅用トランジスタ1706については、図17では、Nチャネル型を用いている。しかし、Pチャネル型を用いることも可能である。ただしその場合、バイアス用トランジスタと組み合わせてソースフォロワ回路として動作させるためには、回路の接続方法を変える必要がある。つまり、単純に、図17の回路図において、増幅用トランジスタ1706の極性を変えるだけでは、動作しない。

【0062】そこで、Pチャネル型の増幅用トランジスタを用いた時の回路構成の一例を図18に示す。図17との違いは、増幅用トランジスタ1806の極性がPチャネル型であることと、フォトダイオードの向きが逆になっていることと、電源線と電源基準線とが入れ替わっていることである。増幅用トランジスタにPチャネル型を用いる場合は、バイアス用トランジスタもPチャネル型を用いる必要がある。なぜなら、バイアス用トランジスタは、定電流源として動作させる必要があるからである。よって、図18では、参考のため、バイアス用トランジスタ1811も記述している。図18に示すi行j列画素部回路1608は、Nチャネル型リセット用トランジスタ1807、Nチャネル型スイッチ用トランジスタ1801、Pチャネル型増幅用トランジスタ1806、光電変換素子（ここでは、最も代表的なフォトダイオード1804）から構成されている。フォトダイオード1804は、Nチャネル側端子は電源線1809に、Pチャネル側端子は、増幅用トランジスタ1806のゲート端子に接続されている。リセット用トランジスタ1807のゲート端子には、i行目リセット信号線1805が接続され、ソース端子とドレイン端子は、i行目電源基準線1812と増幅用トランジスタ1806のゲート端子に接続されている。スイッチ用トランジスタ1801のゲート端子は、i行目ゲート信号線1802に接続され、ソース端子とドレイン端子は、i行目電源基準線1812と増幅用トランジスタ1806に接続されている。増幅用トランジスタ1806のソース端子とドレイン端子は、j列目信号出力線1803とスイッチ用トランジスタ1801に接続されている。バイアス

用トランジスタ1811のゲート端子には、バイアス信号線1810が接続され、ソース端子とドレイン端子は、j列目信号出力線1803と電源線1809に接続されている。

【0063】図18では、リセット用トランジスタ1807は、Nチャネル型を用いている。しかし、リセット用トランジスタは、Pチャネル型でもよい。ただし、Pチャネル型の場合、リセット動作のとき、ゲート・ソース間電圧が大きくとれない。よって、リセット用トランジスタが飽和領域で動作することになり、フォトダイオード1804を十分に充電できない。したがって、リセット用トランジスタは、Pチャネル型でも動作するが、Nチャネル型の方が望ましい。

【0064】図18では、スイッチ用トランジスタ1801については、j列目電源基準線1812と増幅用トランジスタ1806の間に配置し、かつ、Nチャネル型を用いるのが望ましい。しかし、Pチャネル型でも動作するため、Pチャネル型でも構わないし、j列目信号出力線1803と増幅用トランジスタ1806の間に配置しても構わない。ただし、正しく信号を出力しにくいいため、スイッチ用トランジスタ1801は、j列目電源基準線1809と増幅用トランジスタ1806の間に配置し、かつ、Nチャネル型を用いるのが望ましい。

【0065】このように、図17と図18を比較すると分かるように、増幅用トランジスタの極性が異なると、最適なトランジスタの構成、フォトダイオードの向きなども異なってくる。

【0066】図17では、スイッチ用トランジスタ1701とリセット用トランジスタ1707の両方に、1本の電源線から電流を供給している。図18では、スイッチ用トランジスタ1801とリセット用トランジスタ1807の両方に、1本の電源基準線から電流を供給している。このように、フォトダイオードの向きと増幅用トランジスタの極性を合わせることで、配線を共有出来る。

【0067】しかし、電流を供給する配線を1本増やして、それぞれ別々に電流を供給しても構わない。その場合、スイッチ用トランジスタに電流を供給する配線の電位は、定電位でよい。また、フォトダイオードの向きと増幅用トランジスタの極性を合わせる必要もない。

【0068】次に、バイアス用回路1603とサンプルホールド&信号処理用回路1602の中から、1列分の回路として、j列目周辺部回路1609の回路図を、図19に示す。バイアス用回路1603には、バイアス用トランジスタ1911が配置されている。その極性は、各画素の増幅用トランジスタの極性と同じものである。よって、画素の増幅用トランジスタがNチャネル型の場合は、バイアス用トランジスタもNチャネル型になる。図19では、バイアス用バイアス用トランジスタ1911は、Nチャネル型である。バイアス用トランジスタ1911のゲート端子には、バイアス信号線1910が接続され、ソース端子とドレイン端子は、j列目信号出力線1903と電源基準線1912に接続されてい

る（バイアス用トランジスタがPチャネル型の場合は、電源基準線の代わりに、電源線を用いる）。バイアス用トランジスタは1911は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路として動作する。転送用トランジスタ1913のゲート端子には、転送信号線1914が接続され、ソース端子とドレイン端子は、j列目信号出力線1903と負荷容量1915に接続されている。転送用トランジスタは、信号出力線1903の電位を負荷容量1915に転送するときに、動作させる。よって、Pチャネル型の転送用トランジスタを追加して、Nチャネル型転送用トランジスタ1914と並列に接続してもよい。負荷容量1915は、転送用トランジスタ1913と電源基準線1912に接続されている。負荷容量1915の役割は、信号出力線1903から出力される信号を一時的に蓄積することである。放電用トランジスタ1916のゲート端子は、プリ放電信号線1917に接続され、ソース端子とドレイン端子は、負荷容量1915と電源基準線1912に接続されている。放電用トランジスタ1916は、信号出力線1903の電位を負荷容量1915に入力する前に、いったん、負荷容量1915にたまっている電荷を放電するように動作する。

【0069】なお、アナログ・デジタル信号変換回路や雑音低減回路などを配置することも可能である。

【0070】そして、負荷容量1915と最終出力線1920の間に、最終選択用トランジスタ1919が接続される。最終選択用トランジスタ1919のソース端子とドレイン端子は、負荷容量1915と最終出力線1920に接続され、ゲート端子は、j列目最終選択線1918に接続される。最終選択線は、1列目から順にスキャンされる。そして、j列目最終選択線1918が選択され、最終選択用トランジスタ1919が導通状態になると、負荷容量1915の電位と最終出力線1920の電位が等しくなる。その結果、負荷容量1915に蓄積していた信号を最終出力線1920に出力することが出来る。ただし、最終出力線1920に信号を出力する前に、最終出力線1920に電荷が蓄積されていると、その電荷により、最終出力線1920に信号を出力したときの電位が影響を受けてしまう。そこで、最終出力線1920に信号を出力するまえに、最終出力線1920の電位を、ある電位値に初期化しなければならない。図19では、最終出力線1920と電源基準線1912の間に、最終リセット用トランジスタ1922を配置している。そして、最終リセット用トランジスタ1922のゲート端子には、j列目最終リセット線1921が接続されている。そして、j列目最終選択線1918を選択する前に、j列目最終リセット線1921を選択し、最終出力線1920の電位を電源基準線1912の電位に初期化する。その後、j列目最終選択線1918を選択し、最終出力線1920に、負荷容量1915に蓄積していた信号を出力する。

【0071】最終出力線1920に出力される信号は、そのまま外に取り出しても良い。しかしながら、信号が微弱であるため、外に取り出す前に、信号を増幅しておく場

合が多い。そのための回路として、図20に、最終部回路1610の回路を示す。信号を増幅する回路としては、演算増幅器など、様々なものがある。信号を増幅する回路であれば、どのような回路でもよいが、ここでは、最も簡単な回路構成として、ソースフォロワ回路を示す。図20では、Nチャネル型の場合を示す。最終出力増幅用回路1604への入力は、最終出力線2002となる。最終出力線2002には、1列目から順に、信号が出力される。その信号を、最終出力増幅用回路1604によって、増幅し、外に出力する。最終出力線2002は、最終出力増幅向け増幅用トランジスタ2004のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ2004のドレイン端子は、電源線2006に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ2003のゲート端子は、最終出力増幅用バイアス信号線2005と接続される。ソース端子とドレイン端子は、電源基準線2007と最終出力増幅向け増幅用トランジスタ2004のソース端子とに接続される。

【0072】図21に、Pチャネル型の場合のソースフォロワ回路を用いた場合の回路図を示す。図20との違いは、電源線と電源基準線を逆にしていることである。最終出力線2102は、最終出力増幅向け増幅用トランジスタ2104のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ2104のドレイン端子は、電源基準線2107に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ2103のゲート端子は、最終出力増幅用バイアス信号線2105と接続される。ソース端子とドレイン端子は、電源線2106と最終出力増幅向け増幅用トランジスタ2104のソース端子とに接続される。最終出力増幅用バイアス信号線2105の電位は、Nチャネル型を用いた場合の最終出力増幅用バイアス信号線2005とは、値が異なる。

【0073】図20と図21では、ソースフォロワ回路を1段のみで構成していた。しかしながら、複数段で構成しても良い。例えば、2段で構成する場合は、1段目の出力端子を2段目の入力端子に接続すればよい。また、各々の段において、Nチャネル型を用いても、Pチャネル型を用いても、どちらでも良い。

【0074】ゲート信号線リセット信号線用駆動回路1606や電源線用駆動回路1607や信号出力線用駆動回路1601は、単に、パルス信号を出力しているだけの回路である。よって、公知の技術を用いて実施出来る。

【0075】次に、信号のタイミングチャートについて述べる。まず、図16と図17の回路におけるタイミングチャートについて、図22と図23に示す。リセット信号線は、1行目から順にスキャンしていく。例えば、(i-1)行目を選択し、その次に、i行目を選択し、次に、(i+1)行目を選択していく。再び同じ行を選択するまでの期間がフレーム期間に相当する。ゲート信号線も、同様に、1行目から順にスキャンしていく。ただし、リセット信

号線をスキャンし始めるタイミングよりも、ゲート信号線をスキャンし始めるタイミングの方が遅い。例えば、i行目の画素に着目すると、i行目リセット信号線が選択されて、その後、i行目ゲート信号線が選択される。i行目ゲート信号線が選択されると、i行目の画素から信号が出力される。画素がリセットされてから、信号を出力する時までの期間が、蓄積時間になる。蓄積時間の間、フォトダイオードにおいて、光によって生成される電荷を蓄積している。各行で、リセットされるタイミングと信号を出力するタイミングは、異なる。よって、蓄積時間は全行の画素で等しいが、蓄積している時刻は異なる。

【0076】電源線1709については、リセット用トランジスタ1707を非導通状態にした後、電源線1709の電圧も順に下げていく。電源線1709の電圧を下げるタイミングを遅くしている理由は、フォトダイオード1704の電圧が電源線1709の影響を受けないようにするためには、リセット用トランジスタ1707が完全に非導通状態になった後で、電源線1709の電圧を下げなければならないからである。このときの電源線1709の電圧は、図22では、完全に下まで下げず、半分程度だけ下げている。図23では、完全に下まで下げている。その後、フォトダイオード1704に光が照射されている場合、光強度に応じた電荷がフォトダイオード1704に生成され、その結果、光強度に応じてフォトダイオード1704の電圧が下がってくる。光強度が強い方が、より多くの電荷が生成されるため、フォトダイオード1704の電圧の下がり方も大きい。

【0077】図22では、電源線1709の電圧は、半分程度だけ下がっている。よって、リセット用トランジスタ1707のモれ電流の流れる方向は、フォトダイオード1704の電圧の値によって変化する。まず、光が弱い場合、フォトダイオード1704の電圧は、あまり下がらない。よって、リセット用トランジスタ1707のモれ電流はフォトダイオード1704から電源線1709の方へ流れる。従って、光によって生成される単位時間当たりの電荷量 I_{photo} が小さくても、フォトダイオード1704の電圧の変化に寄与するので、信号を得ることが出来る。次に、光が強い場合、フォトダイオード1704の電圧は、十分に下がる。よって、リセット用トランジスタ1707のモれ電流は電源線1709からフォトダイオード1704の方へ流れる。ただし、リセット用トランジスタ1707のソース・ドレイン間電圧が小さいため、従来よりもリセット用トランジスタ1707のモれ電流は小さい。また、最初は、フォトダイオード1704から電源線1709の方へ流れ、フォトダイオード1704の電圧が電源線1709の電圧よりも下がると、モれ電流は、電源線1709からフォトダイオード1704の方へ流れる。つまり、リセット用トランジスタ1707のモれ電流の向きが変わる。従って、互いに打ち消し合うため、リセット用トランジスタ1707のモれ電流の影響が小さくなる。以上のことから、フォトダイオード1704の電圧と蓄

積時間との非線形な関係が改善される。その結果、ガンマ特性が良くなる。

【0078】図23では、電源線1709の電圧は、完全に低くなっている。よって、電源線1709からフォトダイオード1704の方へ、リセット用トランジスタ1707のモれ電流が流れることを防ぐことが出来る。よって、暗い光がフォトダイオード1704に照射されている時に、フォトダイオード1704の電圧が下がりにくくなるという問題が改善されている。

【0079】それから、ゲート信号線1702を制御して、信号を出力する。図17では、スイッチ用トランジスタ1701とリセット用トランジスタ1707の両方に、1本の電源線から電流を供給している。その場合は、信号を出力する時にも、電源線1709の電位をもとに戻しておく必要がある。もし、別々の配線を用いて電流を供給する場合は、スイッチ用トランジスタ1701に電流を供給する配線の電位は、時間的に変化させず、定電位でよい。その時、電源線1709の電位をもとに戻しておく必要もない。

【0080】次に、図16と図18の回路におけるタイミングチャートについて、図24と図25に示す。トランジスタの極性やフォトダイオードの向きが異なるため、電位の大小関係がことなるが、動作自体は、図22、図23と同じである。

【0081】次に、図19における信号のタイミングチャートを図26に示す。繰り返しの動作になるため、例として、i行目のゲート信号線が選択されている時を考える。まず、i行目のゲート信号線1702が選択された後、プリ放電信号線1917を選択し、放電用トランジスタ1916を導通状態にする。その後、転送信号線1914を選択する。すると、i行目の画素から、各列の信号が各列の負荷容量1915に出力される。

【0082】i行目の全ての画素の信号を、各列の負荷容量1915に蓄積した後、最終出力線1920に各列の信号を順に出力していく。転送信号線1914が非選択になってから、ゲート信号線が選択されているまでの間、信号出力線用駆動回路1601により、全列をスキャンしていく。まず、1列目の最終リセット線を選択し、最終リセット用トランジスタ1922を導通状態にし、最終出力線1920を電源基準線1912の電位に初期化する。その後、1列目の最終選択線1918を選択し、最終選択用トランジスタ1919を導通状態にし、1列目の負荷容量1915の信号を最終出力線1920に出力する。つぎに、2列目の最終リセット線を選択し、最終リセット用トランジスタ1922を導通状態にし、最終出力線1920を電源基準線1912の電位に初期化する。その後、2列目の最終選択線1918を選択し、最終選択用トランジスタ1919を導通状態にし、2列目の負荷容量1915の信号を最終出力線1920に出力する。その後も、同様の動作を繰り返していく。j列目の場合も、j列目の最終リセット線を選択し、最終リセット用トランジスタ1922を導通状態にし、最終出力線1920を電源基準線1912

の電位に初期化する。その後、j列目の最終選択線1918を選択し、最終選択用トランジスタ1919を導通状態にし、j列目の負荷容量1915の信号を最終出力線1920に出力する。つぎに、(j+1)列目の最終リセット線を選択し、最終リセット用トランジスタ1922を導通状態にし、最終出力線1920を電源基準線1912の電位に初期化する。その後、(j+1)列目の最終選択線1918を選択し、最終選択用トランジスタ1919を導通状態にし、(j+1)列目の負荷容量1915の信号を最終出力線1920に出力する。その後も、同様の動作を繰り返し、全列の信号を最終出力線に、順次、出力していく。そのあいだ、バイアス信号線1910は、一定のままである。最終出力線1920に出力された信号は、最終出力増幅用回路1604で増幅され、外へ出力されていく。

【0083】次に、i+1行目ゲート信号線が選択される。すると、i行目ゲート信号線が選択されたのと同様に、動作させる。そして、さらに、次の行のゲート信号線が選択され、同様の動作を繰り返していく。

【0084】なお、光電変換などを行うセンサ部については、通常のPN型のフォトダイオードの他に、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、X線用のフォトコンダクタ、赤外線用のセンサなどでもよい。また、蛍光材やシンチレータにより、X線を光に変換した後、その光を読みとってよい。

【0085】これまで述べてきたように、光電変換素子は、ソースフォロワ回路の入力端子に接続されることが多い。しかし、フォトゲート型のように、スイッチを間に挟んでもよい。あるいは、対数変換型のように、光強度の対数値なるように処理した後の信号を入力端子に入力してもよい。

【0086】なお、本実施例では、画素が2次元に配置されたエリアセンサについて述べたが、画素が1次元に配置されたラインセンサを実現することも出来る。

【0087】[実施例2]本願発明のセンサを、TFTを用いてガラス上に作製する場合の作製方法について、図27～図30を用いて説明する。

【0088】まず、図27(A)に示すように、ガラス基板200上に下地膜201を300nmの厚さに形成する。本実施例では下地膜201として窒化酸化珪素膜を積層して用いる。この時、ガラス基板200に接する方の窒素濃度を10～25wt%としておくとも良い。また、下地膜201に放熱効果を持たせることは有効であり、DLC(ダイヤモンドライクカーボン)膜を設けても良い。

【0089】次に下地膜201の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶

質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0090】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)202を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeC1ガスをを用いたエキシマレーザー光を用いて結晶化する。

【0091】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0092】また、本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。

【0093】なお、オフ電流を低減する必要のあるリセット用トランジスタの活性層を非晶質珪素膜で形成し、増幅用トランジスタの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0094】次に、図27(B)に示すように、結晶質珪素膜202上に酸化珪素膜でなる保護膜203を130nmの厚さに形成する。この厚さは100～200nm(好ましくは130～170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜203は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0095】そして、その上にレジストマスク204a、204b、204cを形成し、保護膜203を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを 1×10^{18} atoms/cm²の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0096】この工程により形成されるn型不純物領域(b)205a、205bには、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm²(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm²)の濃度で含まれるようにドーズ量を調節する。

【0097】次に、図27(C)に示すように、保護膜203、レジストマスク204a、204b、204cを除去し、添加したn型不純物元素の活性化を行う。活

活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射（レーザーアニール）により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜203をつけたままレーザー光を照射しても良い。

【0098】なお、このレーザー光による不純物元素の活性化に際して、熱処理（ファーンズアニール）による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0099】この工程によりn型不純物領域（b）205a、205bの端部、即ち、n型不純物領域（b）205a、205bの周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0100】次に、図27（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）206～210を形成する。

【0101】次に、図28（A）に示すように、活性層206～210を覆ってゲート絶縁膜211を形成する。ゲート絶縁膜211としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0102】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極212～216を形成する。なお本実施例では、ゲート電極とゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを同一材料で形成している。勿論、ゲート電極と、ゲート配線とを別の材料で形成しても良い。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いても良い。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きいセンサ部を形成することができる。即ち、画面の大きさが対角10インチ以上（さらには30インチ以上）のセンサ部を有するエリアセンサを実現する上で、上記の画素構造は極めて有効である。

【0103】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極212～216の材料としては公知のあらゆる導電膜を用いることができる。

【0104】代表的には、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0105】本実施例では、30nm厚の窒化タングステン（WN）膜と、370nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0106】またこの時、ゲート電極213、216はそれぞれn型不純物領域（b）205a、205bの一部とゲート絶縁膜211を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0107】次に、図28（B）に示すように、ゲート電極212～216をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成されるn型不純物領域（c）217～224にはn型不純物領域（b）205a、205bの1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0108】次に、図28（C）に示すように、ゲート電極212、214、215を覆う形でレジストマスク225a～225cを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含むn型不純物領域（a）226～233を形成する。ここでもフォスフィン（PH₃）を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

【0109】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成される。そしてnチャネル型TFTでは、図28（B）の工程で形成したn型不純物領域217、218、222、223の一部を残す。この残された領域がLDD領域となる。

【0110】次に、図28（D）に示すように、レジストマスク225a～225cを除去し、新たにレジストマスク234a、234bを形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含むp型不純物領域235、236を形成する。ここではジボラン（B₂H₆）を用いたイオンドーピング法に

より $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) 濃度となるようにボロンを添加する。

【0111】なお、不純物領域235、236には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0112】次に、レジストマスク234a、234bを除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランブアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0113】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0114】次に、図29(A)に示すように、第1層間絶縁膜237を形成する。第1層間絶縁膜237としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm \sim 1.5 μm とすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0115】さらに、3 \sim 100%の水素を含む雰囲気中で、300 \sim 450℃で1 \sim 12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0116】なお、水素化処理は第1層間絶縁膜237を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0117】次に、ゲート絶縁膜211及び第1層間絶縁膜237に対してコンタクトホールを形成し、ソース配線238 \sim 242と、ドレイン配線243 \sim 247を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0118】次に、50 \sim 500nm(代表的には200 \sim 300nm)の厚さで第1パッシベーション膜248を形成する。本実施例では第1パッシベーション膜2

48として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜237に供給され、熱処理を行うことで、第1パッシベーション膜248の膜質が改善される。それと同時に、第1層間絶縁膜237に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0119】次に、図29(B)に示すように有機樹脂からなる第2層間絶縁膜249を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜249は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTF Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1 \sim 5 μm (さらに好ましくは2 \sim 4 μm)とすれば良い。

【0120】次に、第2層間絶縁膜249及び第1パッシベーション膜248にドレイン配線245に達するコンタクトホールを形成し、ドレイン配線245に接するようにフォトダイオードのカソード電極250を形成する。本実施例では、カソード電極250としてスパッタ法によって形成したアルミニウム膜を用いたが、その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【0121】次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターニングし、光電変換層251を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極252を形成する。(図29(C))

【0122】次に、図30(A)に示すように第3層間絶縁膜253を形成する。第3層間絶縁膜253としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第3層間絶縁膜253として厚さ0.7 μm のポリイミド膜を基板全面に形成した。

【0123】次に、第3層間絶縁膜253に、アノード電極252に達するコンタクトホールを形成し、センサ用配線254を形成する。本実施例ではアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を300nmの厚さに形成する。

【0124】こうして図30(B)に示すような構造のセンサ基板が完成する。

【0125】270は増幅用TF T、271はスイッチ用TF T、272はリセット用TF T、273はバイアス用TF T、274は放電用TF Tである。

【0126】本実施例では、増幅用TF T270及びバ

イアス用TFT273がnチャネル型TFTであり、それぞれソース領域側とドレイン領域側の両方にそれぞれLDD領域281～284を有している。なおこのLDD領域281～284はゲート絶縁膜211を間に介してゲート電極212、215と重なっていない。上記構成により、増幅用TFT270及びバイアス用TFT273は、極力ホットキャリア注入を低減させることができる。

【0127】また本実施例では、スイッチ用TFT271及び放電用TFT274がnチャネル型TFTであり、それぞれドレイン領域側にのみそれぞれLDD領域283、286を有している。なおこのLDD領域283、286はゲート絶縁膜211を間に介してゲート電極213、216と重なっている。

【0128】ドレイン領域側のみにLDD領域283、286を形成しているのは、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないための配慮である。また、このスイッチ用271及び放電用TFT274はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域283、286は完全にゲート電極213、216と重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。特に、ソース信号線駆動回路又はゲート信号線駆動回路を15V～20Vで駆動させる場合、本実施例の放電用TFT274の上記構成は、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないのに有効である。

【0129】また本実施例では、リセット用TFT272はpチャネル型TFTであり、LDD領域を有していない。pチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。また、リセット用TFT272がnチャネル型TFTであっても良い。

【0130】また、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0131】なお、本実施例では、ガラス上のTFTやフォトダイオードを用いて、センサを作製しているが、単結晶シリコン基板上のトランジスタを用いて、センサを作製することも可能である。

【0132】【実施例3】本願発明を実施して形成されたセンサは、様々な電子機器に用いることが出来る。その様な本願発明の電子機器としては、スキャナ、デジタルスチルカメラ、X線カメラ、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機）、ノート型パーソナルコンピュータ、ゲーム機器、テレビ電話、等が挙げられる。

【0133】図31(A)は、スキャナであり、読みとり領域3102、センサ部3101、読みとり開始スイッチ3103等を含む。本願発明は、センサ部3101に用いることが出来る。

【0134】図31(B)は、デジタルスチルカメラであり、ファインダ3105、センサ部3104、シャッターボタン3106等を含む。本願発明は、センサ部3104に用いることが出来る。

【0135】図32は、X線カメラであり、X線発生器3201、センサ部3203、信号処理用コンピュータ3204等を含む。X線発生器3201とセンサ部3203の間に、人間3202が入って、X線写真を取る。本願発明は、センサ部3203に用いることが出来る。

【0136】図33はパーソナルコンピュータであり、本体3301、筐体3302、表示装置3303、キーボード3304、センサ部3305等を含む。本願発明はセンサ部3305に用いることができる。

【0137】ここで図34は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示装置3404、操作スイッチ3405、アンテナ3406、センサ部3407を含む。本願発明はセンサ部3407に用いることができる。

【0138】なお、実施例1～実施例3は、各々の実施例と自由に組み合わせることが可能である。

【発明の効果】

【0139】本願発明は、リセット用トランジスタのまれ電流が光電変換素子に与える悪影響を小さくすることが出来る。そのため、高い画質をもつセンサが実現される。

【0140】

【図面の簡単な説明】

【図1】 本願発明の画素の回路の回路図

【図2】 本願発明の画素の回路のタイミングチャート

【図3】 従来のパッシブセンサの画素の回路図

【図4】 従来のアクティブセンサの画素の回路図

【図5】 従来のソースフォロワ回路の回路図

【図6】 アクティブセンサでのタイミングチャート

【図7】 トランジスタの電流特性図

【図8】 従来のアクティブセンサの画素の回路図とまれ電流を表す図

【図9】 従来のアクティブセンサでのタイミングチャート

【図10】 従来のアクティブセンサでのタイミングチャート

【図11】 本願発明の画素の回路の回路図

【図12】 本願発明のアクティブセンサでのタイミングチャート

【図13】 本願発明の画素の回路の回路図

【図14】 本願発明のアクティブセンサでのタイミングチャート

【図15】 本願発明のアクティブセンサでのタイミングチャート

【図16】 本願発明のエリアセンサのブロック図

【図17】 本願発明のアクティブセンサの画素の回路図

【図18】 本願発明のアクティブセンサの画素の回路図

【図19】 本願発明の信号処理回路の回路図

【図20】 本願発明の最終出力増幅用回路の回路図

【図21】 本願発明の最終出力増幅用回路の回路図

【図22】 本願発明のエリアセンサのタイミングチャート

【図23】 本願発明のエリアセンサのタイミングチャート

【図24】 本願発明のエリアセンサのタイミングチャート

【図25】 本願発明のエリアセンサのタイミングチャート

【図26】 本願発明のエリアセンサのタイミングチャート

【図27】 本願発明のイメージセンサの作製行程を示す図

【図28】 本願発明のイメージセンサの作製行程を示す図

【図29】 本願発明のイメージセンサの作製行程を示す図

【図30】 本願発明のイメージセンサの作製行程を示す図

【図31】 本願発明のイメージセンサを用いた電子機器の図

【図32】 本願発明のイメージセンサを用いた電子機器の図

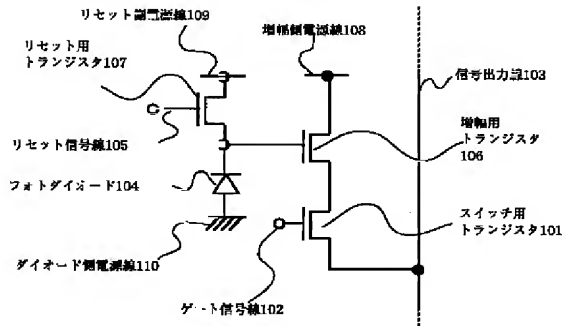
【図33】 本願発明のイメージセンサを用いた電子機器の図

【図34】 本願発明のイメージセンサを用いた電子機器の図

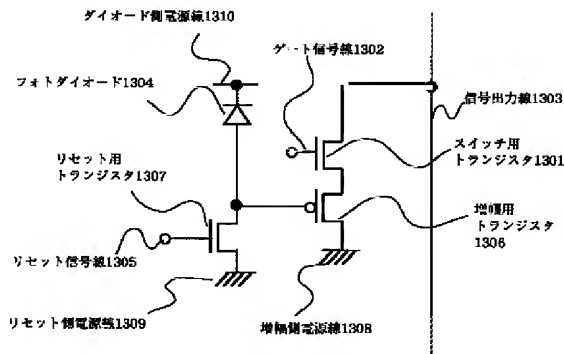
【符号の説明】

- 101 スイッチ用トランジスタ
- 102 ゲート信号線
- 103 信号出力線
- 104 フォトダイオード
- 105 リセット信号線
- 106 増幅用トランジスタ
- 107 リセット用トランジスタ
- 108 増幅側電源線
- 109 リセット側電源線
- 110 ダイオード側電源線

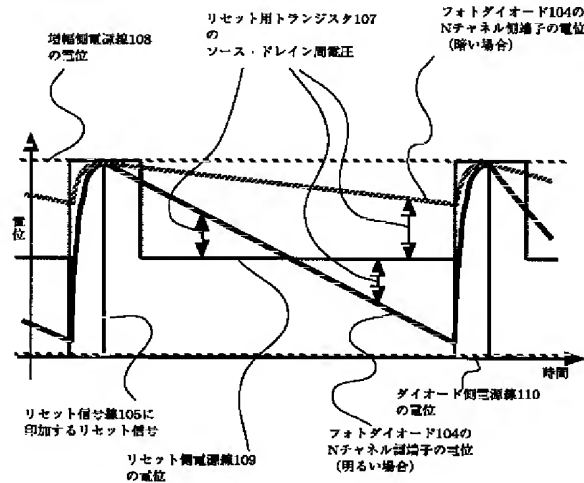
【図1】



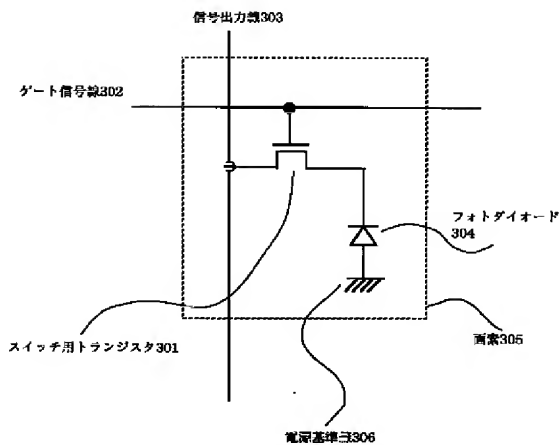
【図13】



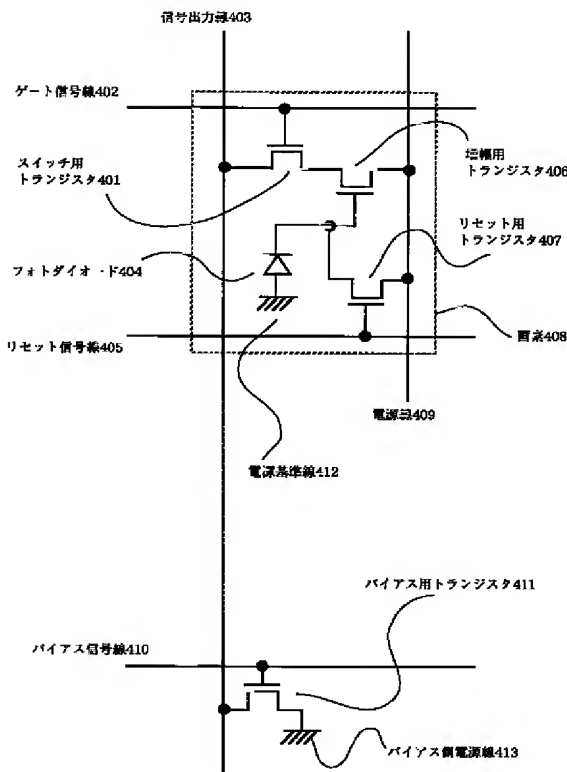
【図2】



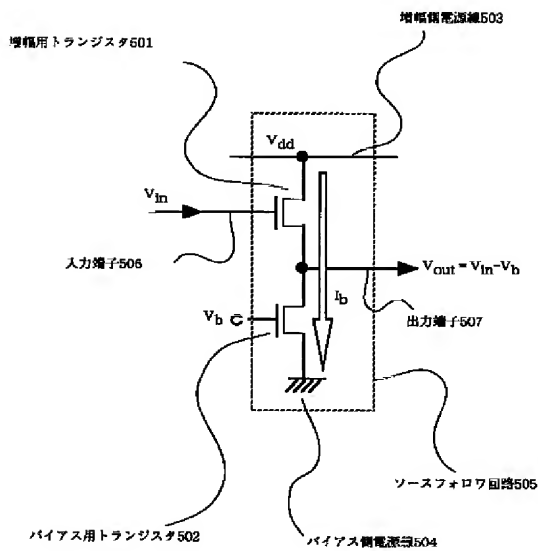
【図3】



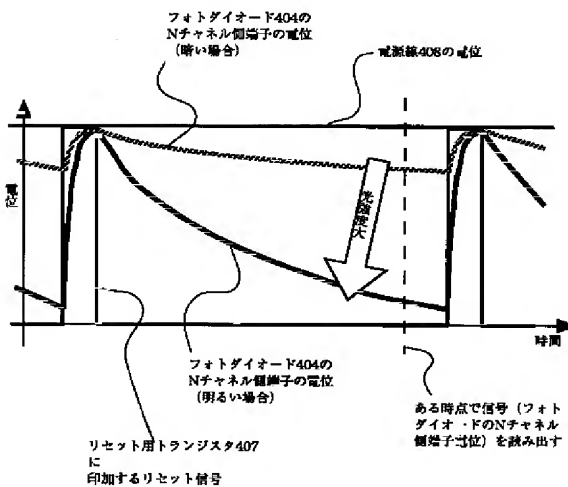
【図4】



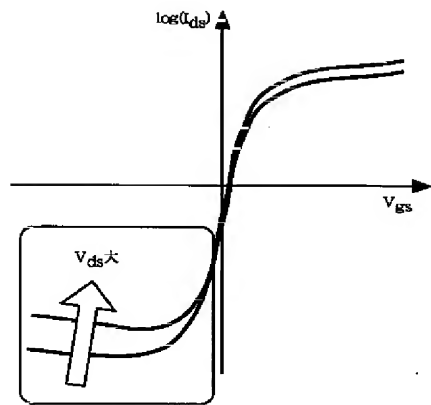
【図5】



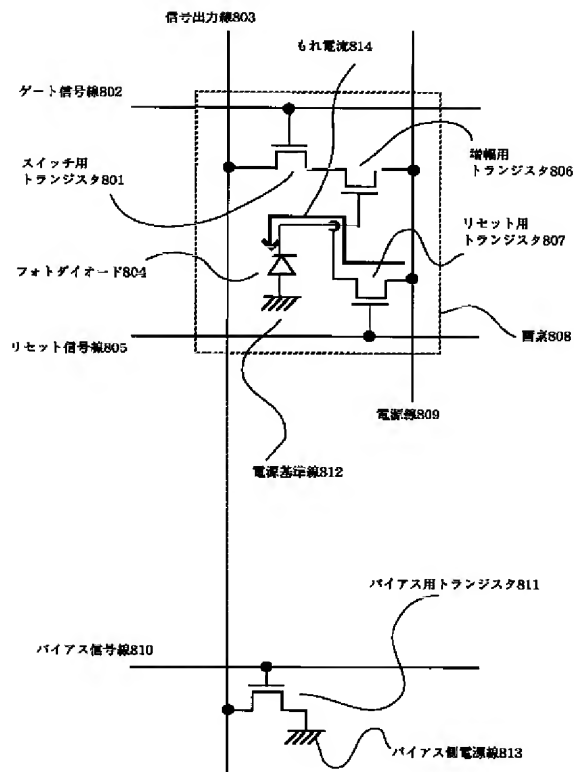
【図6】



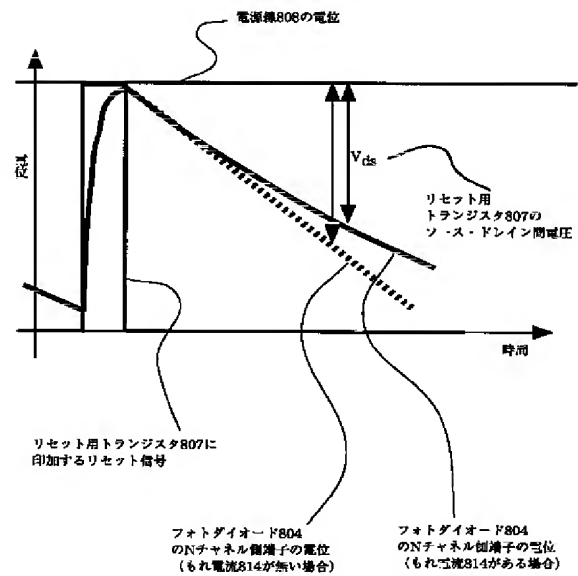
【図7】



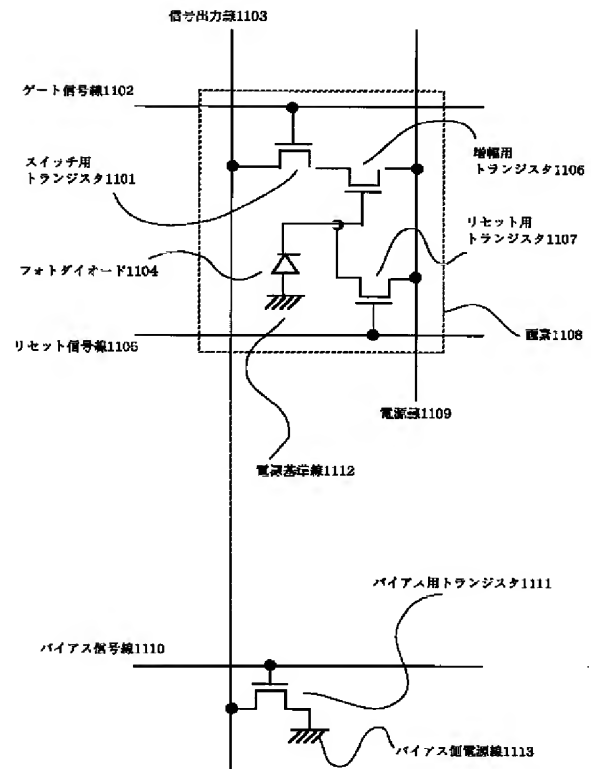
【図8】



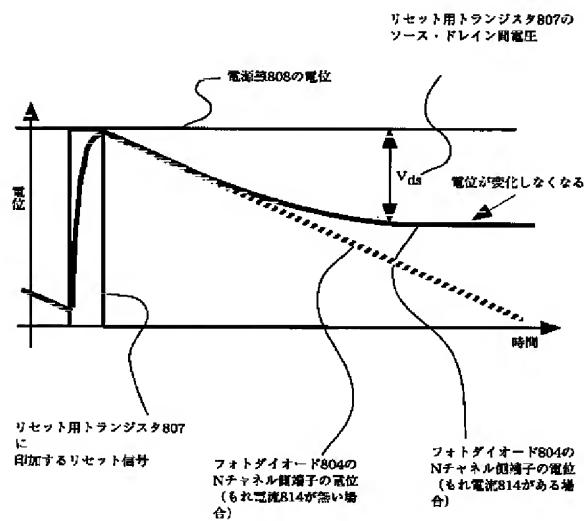
【図9】



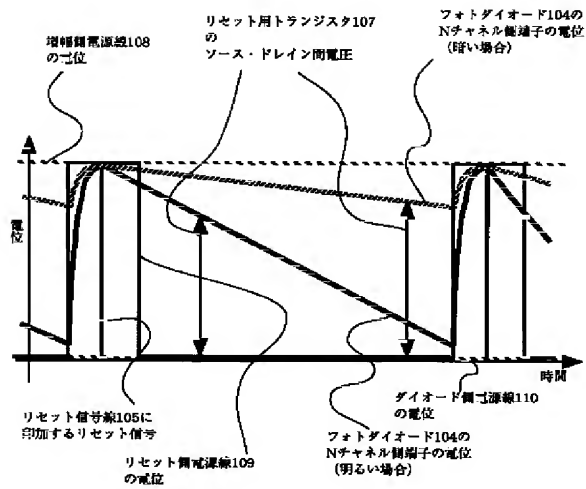
【図11】



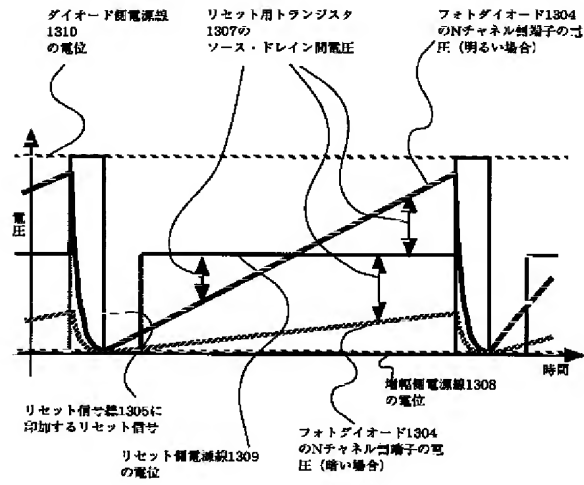
【図10】



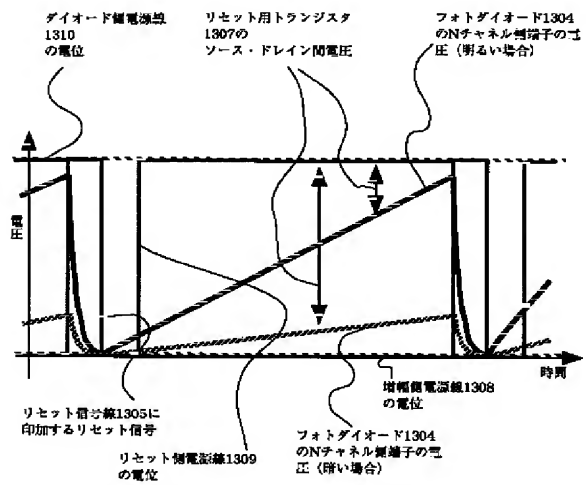
【図12】



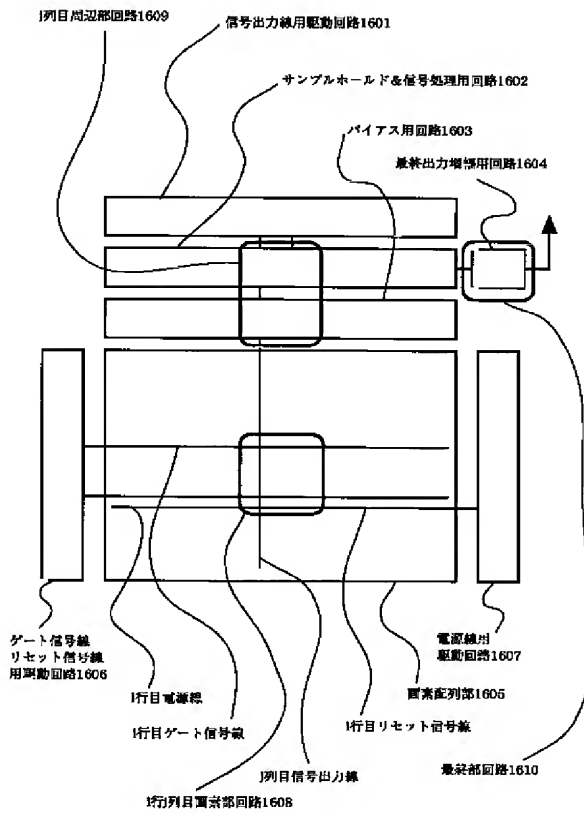
【図14】



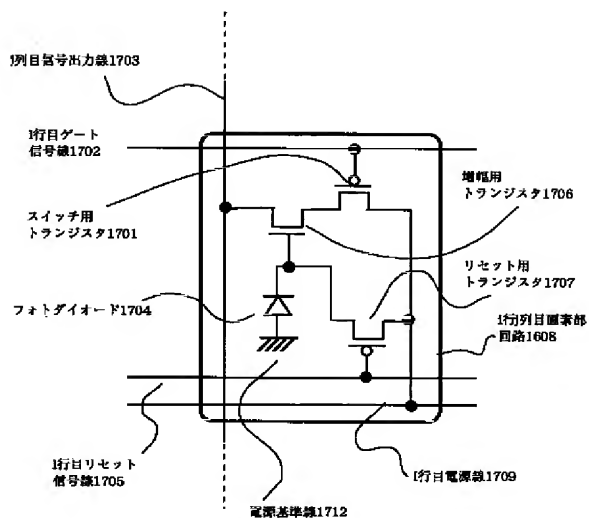
【図15】



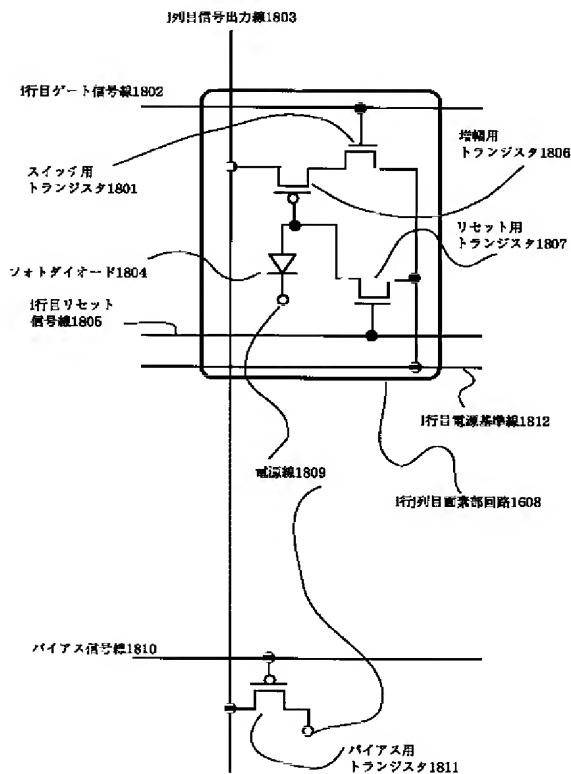
【図16】



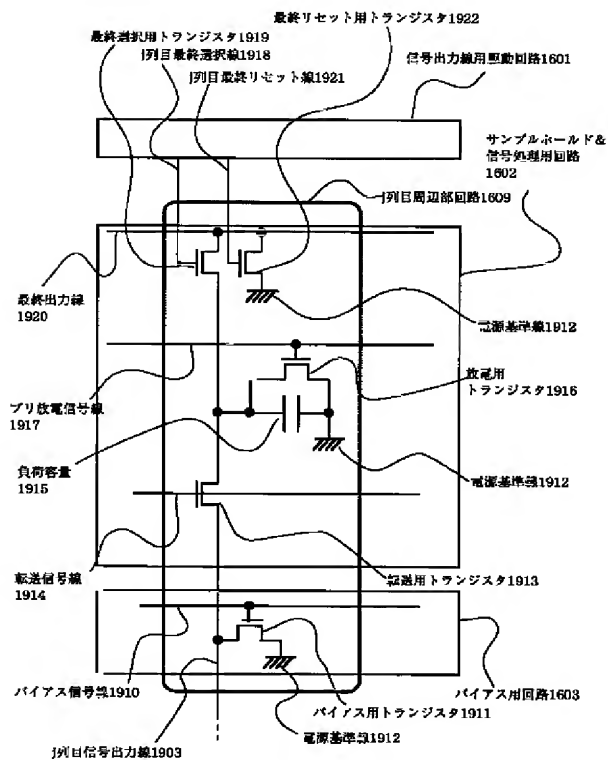
【図17】



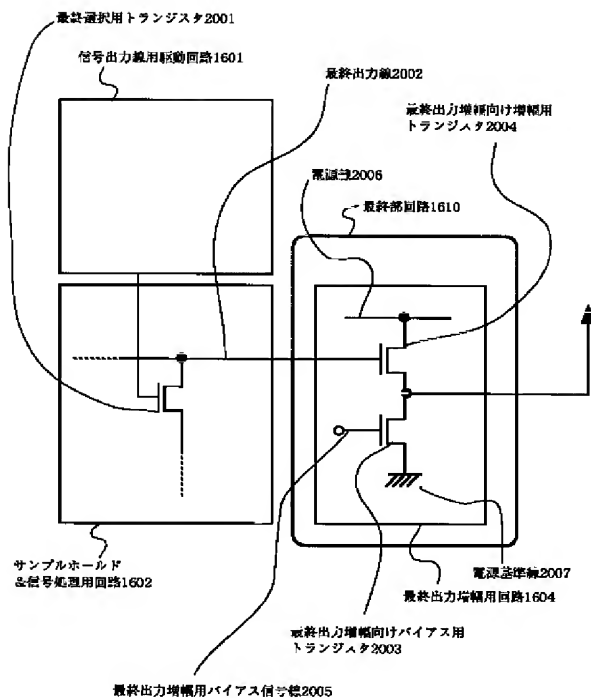
【図18】



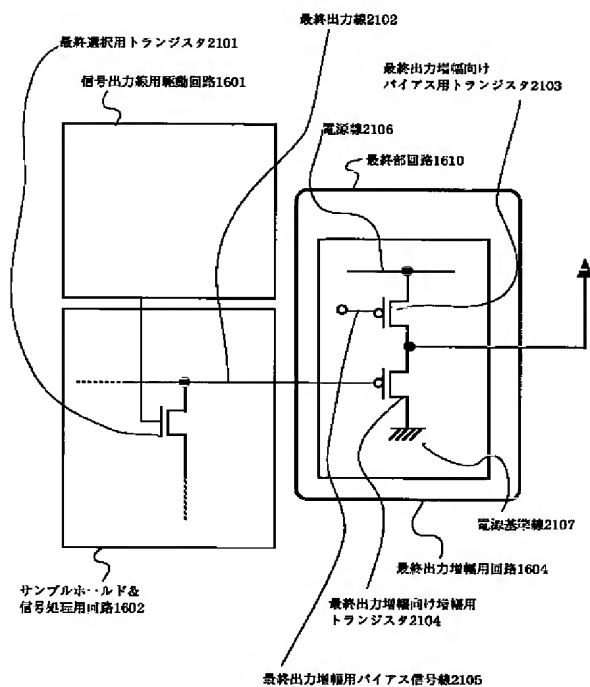
【図19】



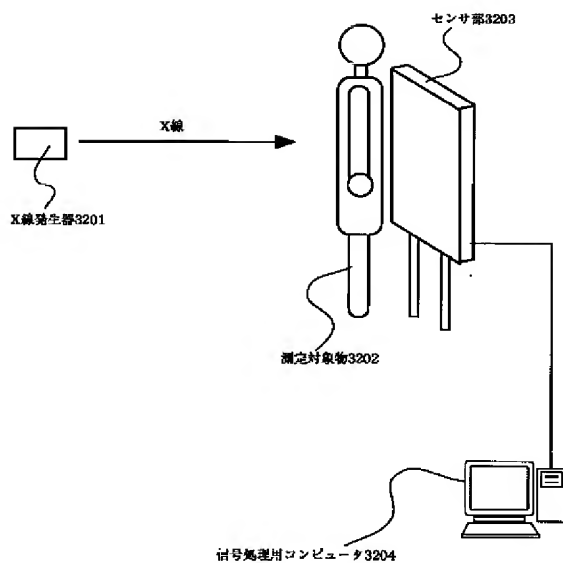
【図20】



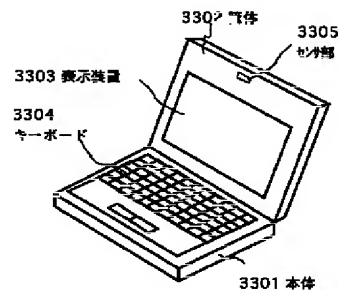
【図21】



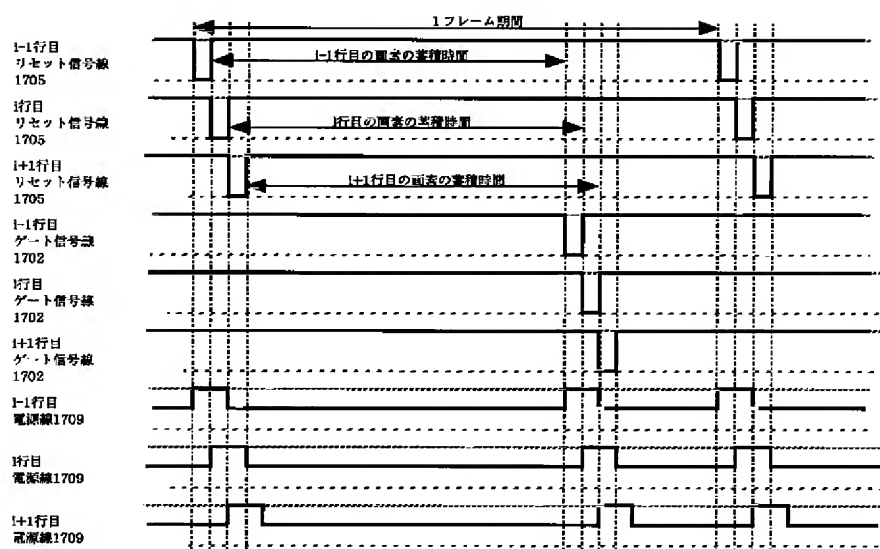
【図32】



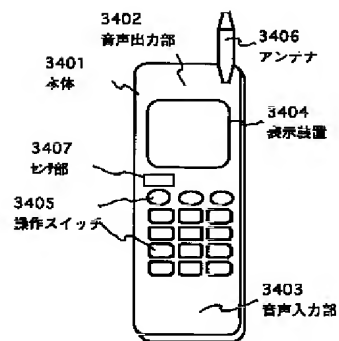
【図33】



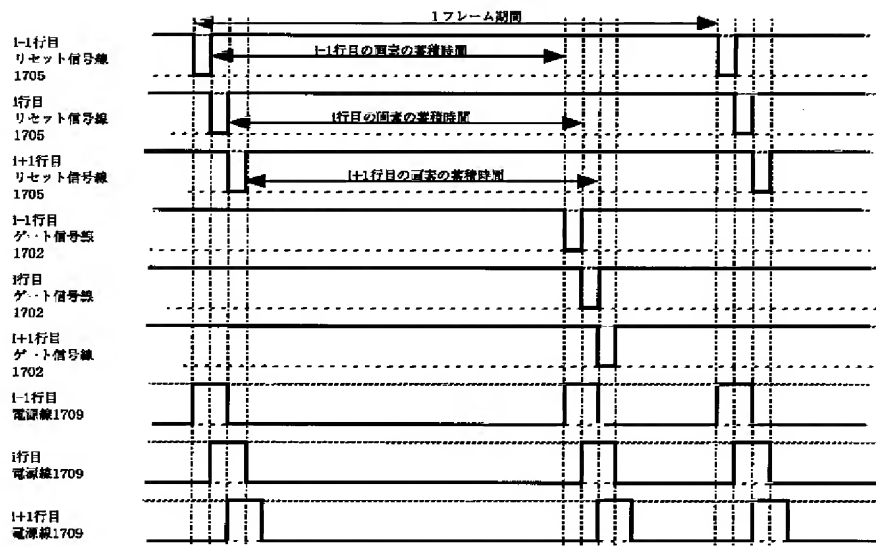
【図22】



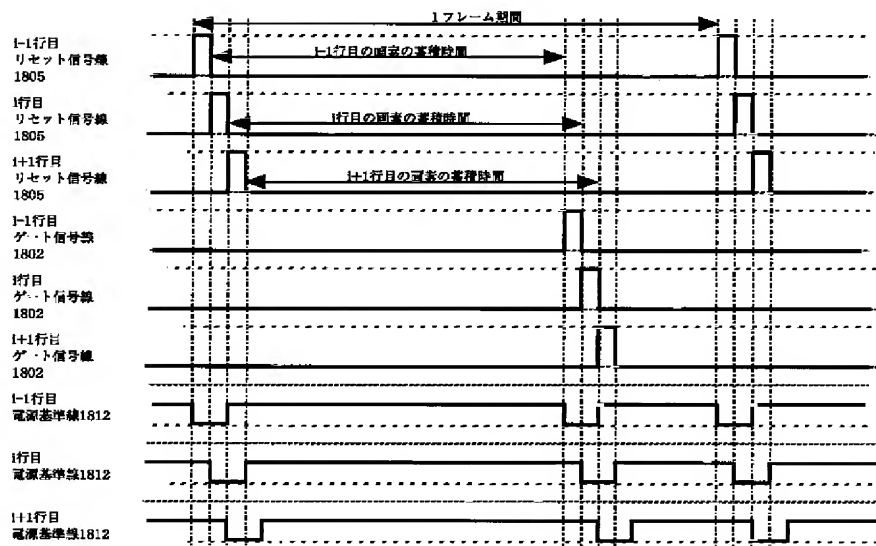
【図34】



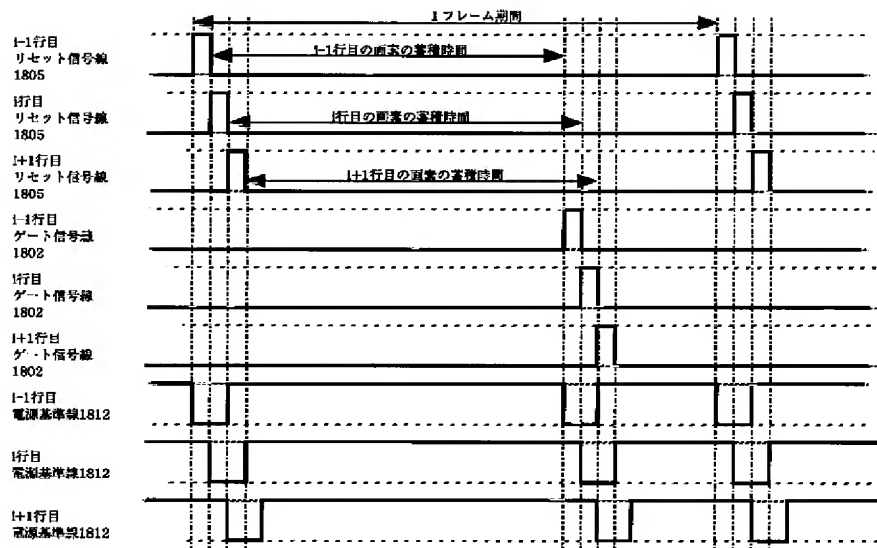
【図23】



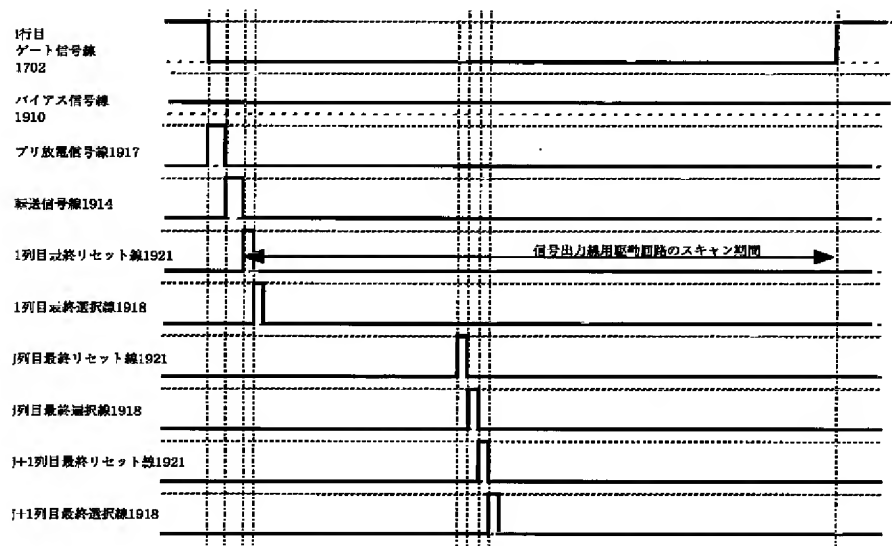
【図24】



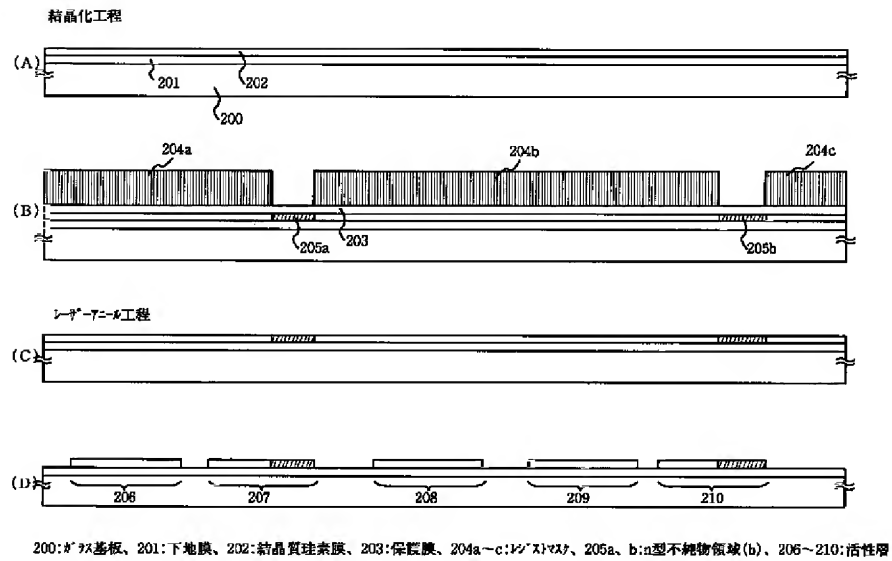
【図25】



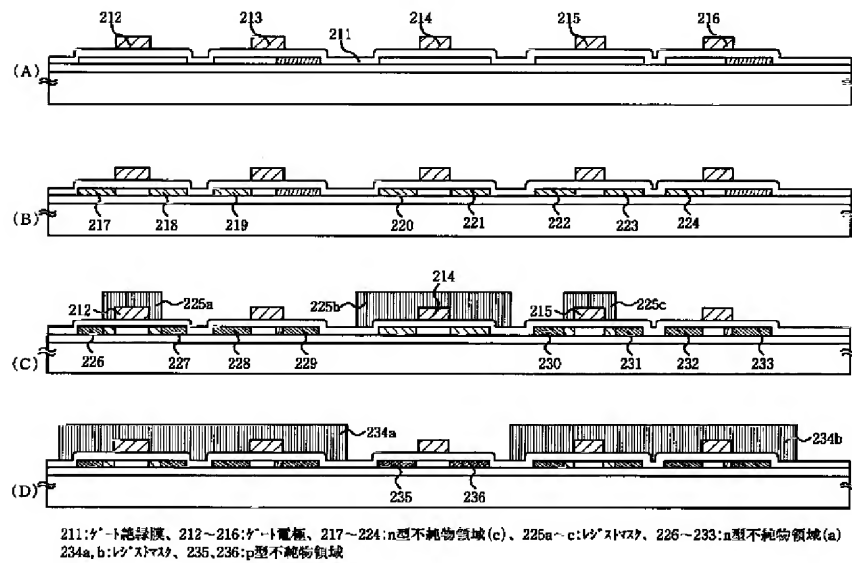
【図26】



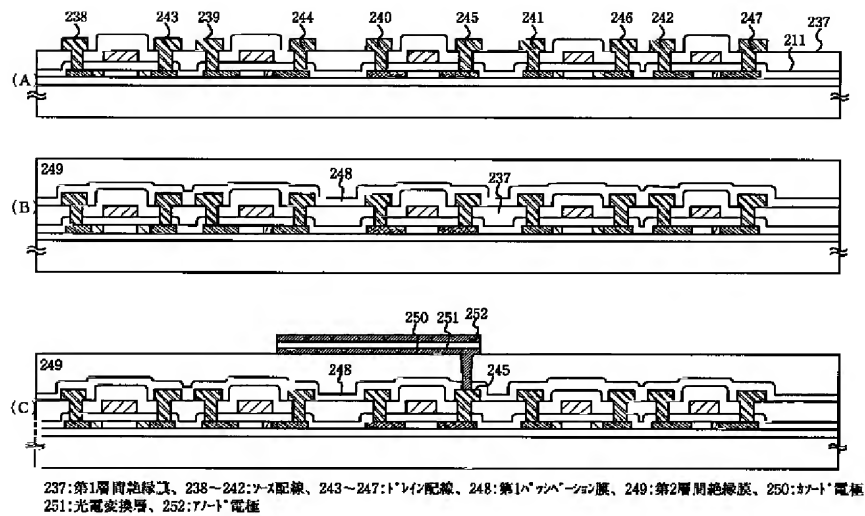
【図27】



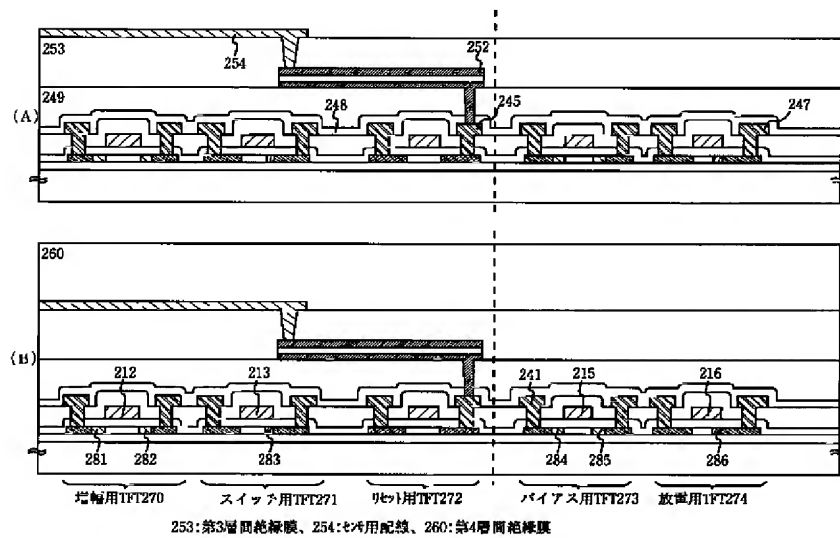
【図28】



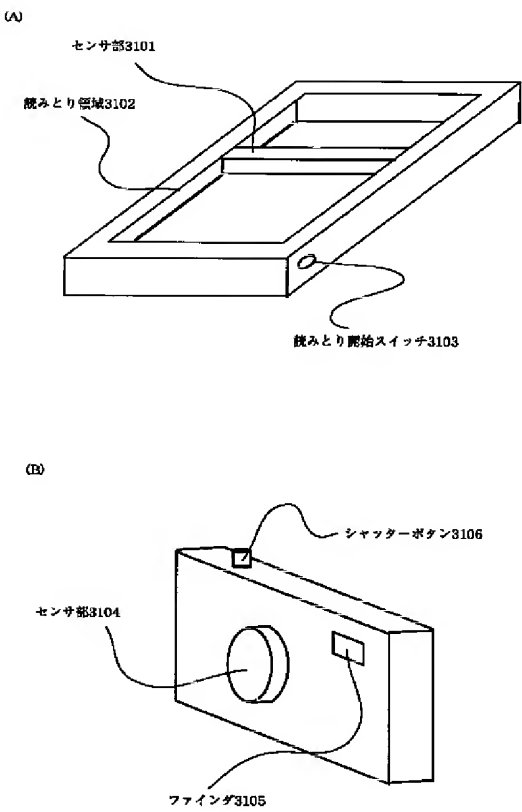
【図29】



【図30】



【図31】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
H O 4 N	5/335	H O 1 L	29/78
		31/10	6 1 3 Z
			G

Fターム(参考) 2G065 AB02 AB04 BA06 BA09 BC02
BC03 BC08 BC18 BC22 BE08
DA10 DA18 DA20
4M118 AA10 AB01 AB10 BA05 BA14
CA03 CA04 CA05 CA06 CB06
CB11 CB14 DD09 DD12 FA06
FB09 FB13 FB20 GA10
5C024 AX01 AX11 CY47 GX03 GX15
GY31
5F049 MA03 MA04 MA05 MA07 MA20
NA01 UA01 UA14 WA01 WA07
5F110 BB10 CC02 DD02 DD12 DD15
EE01 EE03 EE04 EE05 EE06
EE09 EE15 EE44 FF04 FF09
GG01 GG02 GG13 GG15 GG25
HJ01 HJ04 HJ12 HJ13 HJ18
HJ23 HL04 HL06 HL12 HL23
HM15 NN03 NN04 NN22 NN23
NN27 NN78 PP02 PP03 QQ11
QQ23 QQ24 QQ25